PATENT ABSTRACTS OF JAPAN

(11)Publication number:

09-261036

(43)Date of publication of application: 03.10.1997

(51)Int.CI.

H03K 19/0185

(21)Application number: 08-061091

(71)Applicant: TOSHIBA CORP

(22)Date of filing:

18.03.1996

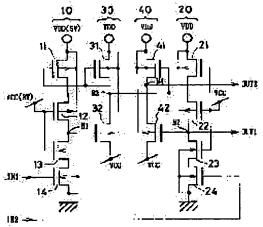
(72)Inventor: SUZUKI HIROAKI

TANAKA YASUNORI

(54) LEVEL CONVERSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT (57)Abstract:

PROBLEM TO BE SOLVED: To suppress the increase of power consumption at a standstill time, to sufficiently improve driving performance and to operate at a high speed by providing first and second CMOS circuits and first and second intermediate circuits, so as to consist of only a MOS transistor in which the gate oxidized film breakdown strength on a level is lower than a high voltage power supply level.

SOLUTION: A CMOS circuit 10 consists of P-MOSs 11 and 12 serially connected between a 5V power supply and a node N1 and N-MOSs 13 and 14 serially connected between the node N1 and the ground. A CMOS circuit 20 is constituted of element constitution similar to the CMOS circuit 10 and on the other hand, an intermediate circuit 30 consists of P-MOS 31 connected to between the 5V power supply and a node N3 and applied with the output of an intermediate circuit 40 to its gate and P-MOS 32 connected to between the node N3 and the 3V power supply. Then all the MOS



transistors constituting these respective circuits 10 to 40 are provided with a characteristic in which allowable gate oxidized film breakdown strength is lower than 5V and higher than 3V.

LEGAL STATUS

[Date of request for examination]

07.09.2000

[Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] [Date of registration] 3258229

07.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(<u>3</u>

华 罕 Þ 概 (B 2)

(11)特許每時 JP 7P3

特許第3258229号

(24) 登録日 平成13年12月7日(2001.12.7) (P3258229)

(45)発行日 平成14年2月18日(2002.2.18)

ኳ

(51) Int (Q.)

建 图 图 中

H03K 19/0185

H03K 19/00

101B

環球項の数8(全 14 頁)

(65)公園 中 (43)公開日 (22) 出版日 (21) 出願番号 **等強器**块日 平成12年9月7日(2000.9.7) 平成9年10月3日(1997.10.3) 存属平9-261036 平成8年3月18日(1996.3.18) | 19019 - 8本題4 (58)関査した分野(Int.Cl.', DB名) (74)代理人 (72)発明者 (72) 発明者 審查官 表原 裁判 000003078 H03K 19/0185 **外理士 三好** 100083806 ターな 田中原共 株式会社東芝 半導体システム技術セン 神疾川県川崎市幸区福川町580番1号 株式会社東芝 半導体システム技術セン 神奈川県川崎市幸区堀川町580番1号 **有外好** 東京都港区芝油一丁目 1番 1号 株式会社東芝 世 (外3名)

(54) 【発明の名称】、 レベル変換回路及び半導体集積回路

(57)【特許請求の範囲】

・ャネル型MOSトランジスタの各ゲートに低電圧が共通 して印加される第1のCMOS回路と、 のPチャネル型MOSトランジスタ及び前記第1のNチ 圧との間の振幅を有する入力信号が印加され、前記第2 タのゲートに前記高館圧よりも低い低電圧とグランド電 スタのゲートに第1の信号が印加され、ブルダウン用と して機能する前記第2のNチャネル型MOSトランジス として機能する前記第1のPチャネル型MOSトランジ ャネル型MOSトランジスタ、並びに前記第1の出力ノ 出力ノードとの間に直列接続された第1及び第2のPチ Nチャネル型MOSトランジスタを有し、ブルアップ用 ードとグランドとの間に直列接続された第1及び第2の 【請求項1】 「高旭圧が印加される高旭圧健源と第1の

前記高電圧電源と第2の出力ノードとの間に接続され前

印加される第4のPチャネル型MOSトランジスタを有 CMOS回路の前記第1の出力ノードの信位がゲートに 圧が印加される低電圧電源との間に接続され前記第1の MOSトランジスタ、及び前記第2の出力ノードと低電 する第1の中間回路と、 記第1の信号がゲートに印加される第3のPチャネル型

され出力信号がゲートに印加される第6のPチャネル型 印加される第5のPチャネル型MOSトランジスタ、及 記第1の中間回路の第2の出力ノードの電位がゲートに 前記第1の信号を出力する第2の中間回路と、 MOSトランジスタを有し、前記第3の出力ノードより **前記高亀圧電源と第3の出力ノードとの間に接続され前** び前記第3の出力ノードと前記低電圧電源との間に接続

れた前記第7及び第8のPチャネル型MOSトランジス 前記高電圧電源と第4の出力ノードとの間に直列接続さ

> 路とを備えたことを特徴とするレベル変数回路。 の優幅を有する信号を外部へ出力する第2のCMOS回 より前記出力信号として前記高電圧とグランド電圧の間 び前記第3のNチャネル型MOSトランジスタの各ゲー 加され、前記第8のPチャネル型MOSトランジスタ及 トに低電圧が共通して印加され、前記第4の出力ノード Sトランジスタのゲートに前記入力信号の反転信号が印 ルダウン用として機能する前記第4のNチャネル型MO 中間回路の前記第2の出力ノードの館位が印加され、プ ジスタを有し、ブルアップ用として機能する前記第7の Pチャネル型MOSトランジスタのゲートに前記第1の 列接続された第3及び第4のNチャネル型MOSトラン タ、並びに前記第4の出力ノードとグランドとの間に直

第4のNチャネル型MOSトランジスタの直列オン抵抗 のCMOS回路における前記第7及び第8のPチャネル ンジスタの直列オン抵抗よりも大きく設定し、前記第2 前記第1の中間回路における第3のPチャネル型MOS よりも大きく数定すると共に、 型MOSトランジスタの直列オン抵抗は、前記第3及び ン抵抗は、前記第 1 及び第 2 のNチャネル型MOSトラ 1及び第2のPチャネル型MOSトランジスタの直列オ 【韻求項2】 前配第1のCMOS回路における前記第

項 1 記載のフベラ変換回路。 のオン抵抗よりも大きく設定したことを特徴とする請求 タのオン抵抗は第6のPチャネル型MOSトランジスタ 中間回路における第5のPチャネル型MOSトランジス ランジスタのオン抵抗よりも大きく設定し、前記第2の トランジスタのオン抵抗は第4のPチャネル型MOSト

各ゲートに低電圧が共通して印加される第1のCMOS スタ及び前記第 1 のNチャネル型MOSトランジスタの 低い低電圧とグランド電圧との間の損福を有する人力信 タのゲートに接続された入力ノードに前記高電圧よりも 身が印加され、前記第2のPチャネル型MOSトランジ して機能する前記第2のNチャネル型MOSトランジス スタのゲートに第1の信号が印加され、フルダウン用と として機能する前記第1のPチャネル型MOSトランジ Nチャネル型MOSトランジスタを有し、ブルアップ用 ードとグランドとの間に直列接続された第1及び第2の ャネル型MOSトランジスタ、並びに前記第1の出力ノ 出力ノードとの間に直列接続された第1及び第2のPチ 【請求項3】 高魁王が印加される高電圧電滅と第1の

印加される第4のPチャネル型MOSトランジスタを有 MOSトランジスタ、及び前記第2の出力ノードと低電 CMOS回路の前記第1の出力ノードの創位がゲートに 圧が印加される低電圧電源との間に接続され前配第1の 記第1の信号がゲートに印加される第3のPチャネル型 前記高電圧電源と第2の出力ノードとの間に接続され前

前記高電圧電源と第3の出力ノードとの間に接続され前

前記高電圧電源と第4の出力ノードとの間に直列接続さ れた前記第7及び第8のPチャネル型MOSトランジス 前記第1の信号を出力する第2の中間回路と、 MOSトランジスタを有し、前記第3の出力ノードより され出力信号がゲートに印加される第6のPチャネル型 印加される第5のPチャネル型MOSトランジスタ、及 び前記第3の出力ノードと前記低電圧電源との間に接続 記第1の中間回路の第2の出力ノードの電位がゲートに

2のCMOS回路とを備えたことを特徴とするレベル要 ランド電圧の間の振幅を有する信号を外部へ出力する第 ジスタの各ゲートに低電圧が共通して印加され、前記第 用として機能する前記第3のNチャネル型MOSトラン 第8のPチャネル型MOSトランジスタ及びブルダウン ネル型MOSトランジスタのゲートに前記第 1 の中間回 間に接続された第3のNチャネル型MOSトランジスタ 4の出力ノードより前記出力信号として前記高鶴圧とグ 路の前記第2の出力ノードの電位が印加され、且つ前記 を有し、ブルアップ用として機能する前記第7のPチャ タ、並びに前記第4の出力ノードと前記入力ノードとの

る前記第1のNチャネル型MOSトランジスタのソース 型MOSトランジスタを有し、プルアップ用として機能 び前記第 1 のNチャネル型MOS トランジスタの各ゲー 畑され、前記第2のPチャネル型MOSトランジスタ及 **塩圧とグランド塩圧との間の版幅を有する入力信号が印** に接続された前記入力ノードに前記高電圧よりも低い低 する削配第1のPチャネル型MOSトランジスタのゲー ャネル型MOSトランジスタ、並びに南配第1の出力ノ 出力ノードとの間に直列接続された第1及び第2のPチ トに低地圧が共通して印加される第1のCMOS回路 トに第1の信号が印加され、フルダウン用として機能す ードと入力ノードとの間に接続された第1のNチャネル 【請求項4】 高電圧が印加される高電圧電源と第1の

する第1の中間回路と、 印加される第4のPチャネル型MOSトランジスタを有 CMOS回路の前記第1の出力ノードの電位がゲートに 圧が印加される低電圧電源との間に接続され前記第1の MOSトランジスタ、及び前記第2の出力ノードと低電 記第1の信号がゲートに印加される第3のPチャネル型 前記高電圧電源と第2の出力ノードとの間に接続され前

MOSトランジスタを有し、前記第3の出力ノードより 前起第1の信号を出力する第2の中間回路と、 され出力信号がゲートに印加される第6のPチャネル型 び前記第3の出力ノードと前記低電圧電源との間に接続 印加される第5のPチャネル型MOSトランジスタ、及 記第1の中間回路の第2の出力ノードの電位がゲートに 前記高亀圧電源と第3の出力ノードとの間に接続され前

れた削配第7及び第8のPチャネル型MOSトランジス 前記高電圧電源と第4の出力ノードとの間に直列接続さ

特許3258229

少、並びに前配第4の出力ノードとグランドとの間に直列接載された第2及び第3のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前配第7のPチャネル型MOSトランジスタのゲートに前配第1の中間回路の前配第2の出力ノードの電位が印加され、フルグウン用として機能する前配第3のNチャネル型MOSトランジスタのゲートに前配入力信号の反信信号が印加され、前配第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに成倒圧が共通して印加され、前配第4の出力ノードより向配出力信号として前記高電圧とグランド電圧の間の版稿を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【錦球項5】 高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前配第1の出力ノードと第1の入力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第1のPチャネル型MOSトランジスタのグートに第1の信号が印加され、ブルダウン用として機能する前記第1のNチャネル型MOSトランジスタのソースに接続された前記第1の入力ノードに前記高電圧よりも低い低電圧とグランド電圧との間の接極をすする入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加される第1のCMOS回路と、

前記高程圧電廠と第2の出力ノードとの間に接続され前 記第1の信号がゲートに印加される第3のPチャネル型 MOSトランジスタ、及び前記第2の出力ノードと低電 正が印加される低電圧電源との間に接続され前記第1の CMOS回路の前記第1の出力ノードの電位がゲートに 印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、

前記高電圧確調と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のアチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のアチャネル型MOSトランジスタを有し、前記第3の出力ノードよりMDSトランジスタを有し、前記第3の出力ノードよりMDSトランジスタを有し、前記第3の出力ノードよりMDSトランジスタを有し、前記第3の出力ノードよりMDSトランジスタを有し、前記第3の出力ノードよりMDS第1の信号を出力する第2の中間回路と、

町配高概圧電額と第4の出力ノードとの間に直列接続された前配第7及び第8のPチャネル型MOSトランジスク、並びに前配第4の出力ノードと第2の入力ノードとの間に接続された第2のNチャネル型MOSトランジスクを有し、フルアップ用として機能する前配第7のPチャネル型MOSトランジスクのゲートに前配第1の中間回路の前配第2の出力ノードの電位が印加され、且つブルダウン用として機能する前記第2のNチャネル型MOSトランジスクのソースに接続された前配第2の入力ノ

一ドに前配入力信号の反転信号が印加され、前記第3の Pチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通し て印加され、前記第4の出力ノードより前記出力信号と して前記高電圧とグランド電圧の間の振幅を有する信号 を外部へ出力する第2のCMOS回路とを備えたことを 特徴とするレベル変換回路。

【開求項6】 前記第1の信号は、前記高超圧と前記低 復圧の間の振幅を有する信号であり、蹊第1の信号を前 窓出力信号と独立して外部へ出力する構成としたことを 特徴とする請求項1乃至開求項5記載のレベル変換回

【群求項1】 前記第4及び第6のアチャネル型MOSトランジスタのサプストレートをそれぞれのソース劇に接続して、他のアチャネル型MOSトランジスタのサプストレートと分離したことを特徴とする請求項1乃至請求項も記録のレベル変数回路。

【請求項8】 低電圧が印加される低電圧電源とグランドとの間に接続され前記低塩圧とグランド電圧との間の接幅を有する信号を出力する低電源用回路と、前記低電源用回路から出力された信号を前記低電圧よりも高い高電圧とグランド電圧との間の振幅を有する信号にレベル変換するレベル変換回路とを備えた半導体集積回路において、

前記レベル変換回路は、請求項1乃至請求項7記載のレベル変換回路で構成したことを特徴とする半導体集額回路。 路。

【発明の詳細な説明】

[0000]

【発明の属する技術分野】本発明は、異なる電飯電圧を有するデジタル回路間のインターフェースとして機能するアベラル回路間のインターフェースとして機能するアベル変換回路、及び二のアベル変換回路を搭載した半導体集積回路に関する。

[0002]

【従来の技術】MOSトランジスタのプロセスが微細化されるにつれて、許容ゲート酸化販耐圧は下がってきており、0.6μm程度の微細化プロセスでは、その耐圧は4V程度であり、3.3V電源の回路では支障は来さないが、従来から一般に使われてきた5V電源では、通常の論理回路を構成することはできない。従って、許容ゲート酸化順耐圧が5Vよりも低い集物回路は、3.3V程度の電源電圧で使用せざるを得えない。

【0003】この3、3V系の集積回路と5V電源系の集積回路とを組み合わせて使用する場合、低電圧電源系から高電圧電源系への信号伝達が容易でなく、従来では以下に示すような技術を用いて低電圧電源系から高電圧電源系へのレベル変換を行っている。

【0004】図7は、従来より一般的なCMOSレベル 変数回路の構成例を示す回路図である(第1の従来回 級)

【0005】このレベル変換回路は、同図に示すように、5 V種類(VDD)とグランド間に接続された2段のCMOS回路より構成されている。1段目のCMOS回路よ、Pチャネル型MOSトランジスタ(以下、単にP-MOSという)101とNチャネル型MOSトランジスタ(以下、単にN-MOSという)102とで構成され、2段目のCMOS回路は、P-MOS103とN-MOS104とで構成されている。

[0006] 3V("1"レベル)の入力信号IN1が与えられると、N-MOS102がオンし、同時に、0V("0"レベル)の入力信号IN2が与えられてN-V("0"レベル)の入力信号IN2が与えられてN-MOS104はオフする。一方、N-MOS102のオンによりP-MOS103がオンし、このP-MOS103のオンによりP-MOS101がオフする。従って、出力信号OUT1、OUT2はそれぞれ5V、OVとなる。

【0007】また、入力信号 I N 1 が 3 V からの V に変化すると、N - MOS 1 0 2 がオフし、同時に、入力信号 I N 2 が 0 V から 3 V へ変化し N - MOS 1 0 4 はオラ I N 2 が 0 V から 3 V へ変化し N - MOS 1 0 4 はオンする。N - MOS 1 0 4 のオンにより P - MOS 1 0 1 がオンし、その結果、P - MOS 1 0 3 がオフする。
従って、出力信号 O U T 1 、O U T 2 はそれぞれ 0 V 、5 V になる。

【0008】このようにして、本回路では3V電源系から5V電源系へのレベル変換を行っている。

【0009】図8/は、特開平4-1504-L-1号公員に開示されたレベル変換回路の構成を示す回路図である(第2の従来回路)

【0010】 このレベル変換回路は、同図に示すように、高鶴圧(VDD: 5 V) 鶴瀬を有するラッチ回路200のノードN11、N12とグランドの間にはN-MOS211、212がそれぞれ接続されている。N-MOS211のゲートには、原鶴圧(VCC: 3 V) 鶴瀬系の街号 I Nが印加され、またN-MOS212のゲートには、仮鶴圧(VCC: 3 V) 竜瀬系の街号 I Nが印加され、またN-MOS212のゲートには、仮鶴圧(VCC: 3 V) 竜瀬を有するインバータ213を介して前間信号 I Nの反応信号が印加されるようになっている。

【0011】ラッチ回路200のノードN11、N12がそれぞれ5V、0Vである場合に、入力信号1Nが3V("1"レベル)になると、N-MOS211がオンし、N-MOS212はオフする。その結果、ノードN11の銘位は0Vにシフトするので、ラッチ回路200のノードN12より5V("1"レベル)に維持された出力信号OUTが得られる。

【0012】図9は、米国特許公報(U.S.P5300832)に開示されたレベル変数回路の構成を示す回路3つに表示されたりで数回路の構成を示す回路のである(第3の従来回路)。

【0013】このレベル変数回路は、ゲート酸化酸耐圧が高額圧電源(5 V)よりも低いMOSトランジスタのみを用い、低電圧電源来から高電圧電源系へのレベル吸

Ξ

換を行うものである。
【0014】同図に示すように、このレベル変換回路は、MOSトランジスタ300~313からなるレベル変換期と、MOSトランジスタ314~317からなる 出力部とで構成されている。レベル変換期は、低低圧 (VCC:3V) 電源系の入力信号1Nを入力して、ノードN21、N22にレベル変換用の制御信号を出力する。出力部は、時配レベル変換用からの制御信号を受けて、高電圧 (VDD:5V) 電源系の信号として0V~5Vの出力信号のUT2を出力し、さらに0V~中間電位~5Vの出力信号のUT2を出力し、さらに0V~中間電位の出力信号のUT2を出力するようになっている。

【0015】入力信号 I Nが"0" レベルになると、P -MOS 3 0 6、3 0 7がオンし、ノードN 2 3、N 2 4がプルアップする。ノードN 2 3が"1" レベルになることにより、N-MOS 3 0 4がオンし、P-MOS 3 0 1 及びN-MOS 3 0 2 を適過する電流経路が形成される。その結果、ノードN 2 5 がブルダウンし、P-MOS 3 0 8 がオンする。

【0016】P-MOS308がオンすると、ノードN 21が"1" レベルになるだけでなく、P-MOS309及びN-MOS310、311を通過する循道路路が形成され、ノードN22も"1" レベルになる。その結果、P-MOS314がオフし、N-MOS317がオンし、出力信号のUT1、OUT3は0V、出力信号のUT2は中間電位となる。

【0017】一方、入力信号INが"1"レベルになると、N-MOS305、312がオンし、ノードN22がフと、N23の最似はフルグウンする。ノードN22がフィグウンすることにより、N-MOS317がオフする。そして、ノードN21の最位がVDD(5V)よりも成べなったとき、P-MOS314はオンし、出力信号OUT1、OUT2は5V、出力信号OUT3は中間確位となる。

【発明が解決しようとする課題】しかしながら、上記従来のレベル変換回路では次のような問題点があった。

[8:00]

【0019】すなわち、上記第1の従来回路(図7)では、回路を掲成する全てのMOSトランジスタのゲートに再独圧過数レベルの截圧が印加されるので、ゲート酸化限計圧は高恒圧電数レベル以上である必要となる。そのため、ゲート酸化原を厚くし且つゲート長を長くして高恒圧に耐えるMOSトランジスタを、レベル変装回路用として独破回路のチップ上に部分的に形成することになり、製造プロセスが提絡になる。

【0020】また、上配第2の従来回路(図8)でも同様に、ラッチ回路200を構成する2個のインバータの各トランジスタ及びN-MOS211、211を共に、路銀圧電源レベル以上のゲート酸化原料圧を有するトランジスタが必要となる。

特許3258229

Vih)となり、(VB+Vth)が3Vとよりも高い 力部の負荷駆動能力が低下するという問題もあった。 とすると、このゲート電圧は低い値になる。従って、出 ゲート電圧 (ノード21の電位) は、VDDI (VB+ がある。また、P-MOS314がオンしているときの している。このため、高速な動作ができないという問題 利用して、PIMOS314のゲート亀圧の版幅を制限 21の電位が(VB+Vth)に自然と安定する現象を 圧)。このP-MOS309がオフしていき、ノードN h) までしか下がらない (V t h : P-MOSの関値電 N21の電位は、"0"レベルであっても(VB+VL 9のゲートには塩位VBが与えられているため、ノード 2 1) の振幅を制限している。つまり、P-MOS 3 0 果を利用してP-MOS314のゲート電圧(ノードN 低く与えるために、P-MOS309がオフしていく効 が高電圧電源レベルよりも低いトランジスタだけで回路 ゲート酸化腺耐圧を高電圧電源レベル(V D D)よりも を構成することができる。しかし、P-MOS314の 第1及び第2の従来回路とは異なり、ゲート酸化膜耐圧 【0021】一方、上記第3の従来回路(図9)では、

。 ベル変換回路を搭載した半導体集積回路を提供すること 提供することである。さらに、その他の目的は、上記ァ は、L記目的に加え、適用範囲の広いレベル変換回路を 換回路を提供することである。またその他の目的は、 と なレベル変換回路を提供することである。その他の目的 記目的に加え、麒動作なく的強に動作させることが可能 も高速動作が可能で且し負荷駆動能力も十分なアベル変 のみで構成でき、静止時の消費電力の増加を抑え、しか 耐圧が高鶴圧電源レベルよりも低いMOSトランジスタ するためになされたもので、その目的は、ゲート酸化原 【0022】本発明は、上述の如き従来の問題点を解決

[0023]

低電圧電源との間に接続され前記第1のCMOS回路の -OS、及び前記第2の出力ノードと低鶴圧が印加される 前記第1の出力ノードの電位がゲートに印加される第4 され前記第1の信号がゲートに印加される第3のPIM 前記第2のP-MOS及び前記第1のN-MOSの各ゲ N-MOSのゲートに削記高電圧よりも低い低電圧とグ 一トに低電圧が共通して印加される第1のCMOS回路 ランド電圧との間の振幅を有する入力信号が印加され、 号が印加され、フルダウン用として機能する前記第2の して機能する前記第1のP-MOSのゲートに第1の信 れた第1及び第2のN-MOSを有し、フルアップ用と に前記第1の出力ノードとグランドとの間に直列接続さ が印加される高電圧電源と第1の出力ノードとの間に直 に、第1の発明であるレベル変換回路の特徴は、高鶴圧 列接続された第1及び第2のPチャネル型MOS、並び 【課題を解決するための手段】上記目的を違成するため 前記高電圧電源と第2の出力ノードとの間に接続

> 圧とグランド電圧の間の版幅を有する信号を外部へ出力 する第2のCMOS回路とを備えたことにある。 前記第4の出力ノードより前記出力信号として前記高電 のN-MOSの各ゲートに低電圧が共通して印加され、 転信号が印加され、前記第8のP-MOS及び前記第3 する前記第4のN-MOSのゲートに前記入力信号の反 出力ノードの電位が印加され、フルダウン用として機能 MOSを有し、ブルアップ用として機能する前記第7の とグランドとの間に直列接続された第 3 及び第 4 のN-7及び第8のP-MOS、並びに前記第4の出力ノード 記第1の信号を出力する第2の中間回路と、前記高電圧 源と第3の出力ノードとの間に接続され前記第1の中間 P-MOSのゲートに前記第1の中間回路の前記第2の 電源と第4の出力ノードとの間に直列接続された前記第 第6のP〜MOSを有し、前記第3の出力ノードより前 圧電源との間に接続され出力信号がゲートに印加される 回路の第2の出力ノードの電位がゲートに印加される第 のP-MOSを有する第1の中間回路と、前記高鶴圧電 5のP-MOS、及び前記第3の出力ノードと前記低電

圧の電圧源とすることにより、トランジスタのオン抵抗 る。これらの作用において、上記各トランジスタのゲー を顕黙することができる。 荷駆動能力の低下も抑えられる。また、上記MOSトラ た前述の第3の従来回路よりも高速に動作し、加えて食 にソースフォロアトランジスタのオフする効果を利用し **小を、オンしたトランジスタで次のトランジスタのチー で構成することができる。さらに、与えられた蛇旗フム** が高電圧程源レベルよりも低いMOSトランジスタのみ ないため、本フベラ変換回路は、許容ダート酸化膜耐圧 ト酸化膜には静的に低電圧レベルを越える電位が加わら ンするため、第5及び第7のP-MOSがオフして直流 塩圧アベラからグランドアベラ ("0" アベラ) へ変化 第1及び第3のP-MOSがオフする。従って、高鶴圧 OSがオンし、これによって第4のP-MOSがオンす ンジスタに接続される低電圧電源を、個別に異なる低電 トに供給する方式であるため、ゲート電圧の振幅の制限 バスが絶たれ、グランドレベルの出力信号が出力され P-MOSもオンする。そして、第4のP-MOSがオ て、第6のP-MOSがオンする結果、第1及び第3の した場合は、第4のN-MOSがオンし、これによっ 静的な直流電流パスは存在しない。 一方、入力信号が低 レベラ ("1" レベル)の出力信号が出力される。この 入力信号の反転信号により第4のNーMOSはオフし、 る結果、第5及び第7のP-MOSもオンする。一方、 圧レベラ ("1" レベラ) である場合は、第2のN-M 状態では、第1、第3及び第6のP-MOSと第4のN - MOSがオン共振にあるのか、ネフベル政族回路内に これによって第6のP-MOSもオフする。その結果、 【0024】この第1の発明によれば、入力信号が低個

【0025】第2の発明であるアベラ政教回路の特徴

ル型MOSトランジスタの直列オン抵抗よりも大きく数 抵抗よりも大きく設定したことにある。 ン抵抗は第6のPチャネル型MOSトランジスタのオン 路における第5のPチャネル型MOSトランジスタのオ スタのオン抵抗よりも大きへ設定し、前記第2の中間回 ジスタのオン抵抗は第4のPチャネル型MOSトランジ 1の中間回路における第3のPチャネル型MOSトラン タの直列オン抵抗よりも大きく設定すると共に、前記第 は、前記第3及び第4のNチャネル型MOSトランジス 8のPチャネル型MOSトランジスタの直列オン抵抗 定し、前記第2のCMOS回路における前記第7及び第 ジスタの直列オン抵抗は、前記第1及び第2のNチャネ における前記第1及び第2のPチャネル型MOSトラン は、上記第1の発明において、前記第1のCMOS回路

の回路を正確に動作させることができる。 【0026】この第2の発明によれば、上記第1の発明

第1の中間回路の前記第2の出力ノードの電位が印加さ 第7のPチャネル型MOSトランジスタのゲートに前記 カノードとの間に接続された第3のNチャネル型MOS Sトランジスタ、並びに前記第4の出力ノードと前記入 に直列接続された前記第7及び第8のPチャネル型MO 中間回路と、前記高鶴圧電源と第4の出力ノードとの間 第3の出力ノードより前記第1の信号を出力する第2の OSトランジスタ、及び前記第3の出力ノードと前記伝 ードの配位がゲートに印加される第5のPチャネル型M OSトランジスタ、及び前記第2の出力ノードと仮電圧 第1の信号がゲートに印加される第3のPチャネル型M トランジスタを有し、ブルアップ用として機能する前記 る第6のPチャネル型MOSトランジスタを有し、前記 **衛圧電源との間に接続され出力信号がゲートに印加され** る第1の中間回路と、前記隔電圧起旗と第3の出力ノー 加される第4のPチャネル型MOSトランジスタを有す MOS回路の前記第1の出力ノードの館位がゲートに印 が印加される低電圧電源との間に接続され前記第1のC 低電圧が共通して印加される第1のCMOS回路と、前 れ、前記第2のPチャネル型MOSトランジスタ及び前 ドとの間に接続され前記第1の中間回路の第2の出力ノ 記高電圧電源と第2の出力ノードとの間に接続され前記 記第 1 のNチャネル型MOS トランジスタの各ゲートに とグランド伽圧との間の優幅を有する入力信号が印加さ に接続された入力ノードに前記高電圧よりも低い低電圧 る前記第2のNチャネル型MOSトランジスタのゲート トに第1の信号が印加され、フルダウン用として機能す する前記第1のPチャネル型MOSトランジスタのゲー 型MOSトランジスタを有し、ブルアップ川として機械 ンドとの間に直列接続された第1及び第2のNチャネル OSトランジスタ、並びに前記第1の出力ノードとグラ との間に直列接続された第 1 及び第 2 の P チャネル型M は、高鶴圧が印加される高鶴圧電源と第1の出力ノード 【0027】第3の発明であるレベル変換回路の特徴

> のみで回路を構成することができ、前述の第3の従来回 酸化膜耐圧が高電圧電源よりも低いMOSトランジスタ 路よりも高速に動作し、加えて負荷駆動能力の低下も抑 の作用が行われ、グランドレベルの出力信号が出力され 第3のN-MOSはオンしてその後は第1の発明と同様 変換回路内に静的な直流電流パスは存在しない。また、 行い、高塩圧レベル ("1"レベル)の出力信号が出力 ベチ)へ変化した場合は、第2のN-MOSがオフし、 入力信号が伝稿用アベラかのグレンドアベラ ("0"フ Sと第3のN-MOSがオフ状態にあるので、本レベル される。この状態では、第1、第3及び第6のP-MO における第4のN-MOSを省略し、入力信号を1種類 MOSトランジスタの各ゲートに低電圧が共通して印加 レベル)である場合は、上記第1の発明と同様の作用を とすることができる。入力信号が低電圧レベル("1" され、前記第4の出力ノードより前記出力信号として前 びブルダウン用として機能する前記第3のNチャネル型 れ、且つ前記第8のPチャネル型MOSトランジスタ及 【0028】この第3の発明によれば、上記第1の発明 〜出力する第2のCMOS回路とを備えたことにある。 記高亀圧とグランド亀圧の間の振幅を有する信号を外部 これにより、上記第1の発明と同様に、許容ゲート

出力ノードより前記第1の信号を出力する第2の中間回 回路の前記第1の出力ノードの電位がゲートに印加され のPチャネル型MOSトランジスタを有し、前記第3の 瀬との間に接続され出力信号がゲートに印加される第6 ランジスタ、及び前記第3の出力ノードと前記低包圧電 館位がゲートに印加される第5のPチャネル型MOSト 関に接続され前記第1の中間回路の第2の出力ノードの の中間回路と、前記高電圧電源と第3の出力ノードとの る第4のPチャネル型MOSトランジスタを有する第1 される低電圧電源との間に接続され前記第1のCMOS ランジスタ、及び前記第2の出力ノードと低電圧が印加 信号がゲートに印加される第3のPチャネル型MOSト 圧電源と第2の出力ノードとの間に接続され前記第1の が共通して印加される第1のCMOS回路と、前記高電 のNチャネル型MOS トランジスタの各ゲートに低砲圧 記第2のPチャネル型MOSトランジスタ及び前記第1 ンド電圧との間の接幅を有する入力信号が印加され、前 た前記入力ノードに前記高電圧よりも低い低電圧とグラ のNチャネル型MOS トランジスタのソースに接続され 信号が印加され、ブルダウン用として機能する前記第 1 OSトランジスタ、並びに前記第1の出力ノードと入力 ランジスタを有し、ブルアップ用として機能する前記第 は、高電圧が印加される高電圧電源と第1の出力ノード との間に直列接続された第1及び第2のPチャネル型M 1のPチャネル型MOSトランジスタのガートに探 1の /一ドとの間に接続された第1のNチャネル型MOSト 【0029】第4の発明であるレベル変換回路の特徴

OS回路とを備えたことにある。 圧の間の振幅を有する信号を外部へ出力する第2のCM 各ゲートに低電圧が共通して印加され、前記第4の旧力 スタ及び前記第2のNチャネル型MOSトランジスタの 号が印加され、前記第8のPチャネル型MOSトランジ 型MOSトランジスタのゲートに前記入力信号の反転信 れ、プルダウン用として機能する前記第3のNチャネル 第1の中間回路の前記第2の出力ノードの電位が印加さ 第7のPチャネル型MOSトランジスタのゲートに前記 ノードより前記出力信号として前記高毬圧とグランド電 間に直列接続された第2及び第3のNチャネル型MOS 路と、前記高電圧電源と第4の出力ノードとの間に直列 トランジスタを有し、ブルアップ用として機能する前記 接続された前記第7及び第8のPチャネル型MOSトラ ンジスタ、並びに前記第4の出力ノードとグランドとの

とすることができる。入力信号がグランドレベル における第2のN-MOSを省略し、入力信号を1種類 ("O" フベラ) ためる場合は、第1のN-MOSがお 【0030】この第4の発明によれば、上記第1の発明

動能力の低下も抑えられる.. "明も、許容ゲート酸化膜耐圧が高電圧電源よりも低いM 述の第3の従来回路よりも高速に動作し、加えて負荷駆 OSトランジスタのみで回路を構成することができ、前 グランドレベルの出力信号が出力される。この第4の発 オンして、その後は、第1の発明と同様の作用を行い、 合は、第1のN-MOSはオフし、第3のN-MOSが 直流電流パスは存在しない。また、入力信号がグランド フベラや心短臼ボフベラ("1"フベラ)へ設分した母 この状態では、前記回復に本レベル変換回路内に静的な 寛圧レスタ("1"レスル)の出力信号が出力される。 ンし、その後は上記第1の発明と同様の作用を行い、高

-低電圧が印加される低電圧電源との間に接続され前記第 ル型MOSトランジスタ、及び前記第2の出力ノードと れ前記第1の信号がゲートに印加される第3のPチャネ 及び前記第1のNチャネル型MOSトランジスタの各ケ 第1の信号が印加され、ブルダウン用として機能する前 の入力ノードとの間に接続された第1のNチャネル型M OSトランジスタ、並びに前記第1の出力ノードと第1 1のCMOS回路の前記第1の出力ノードの砲位がゲー と、前記高電圧電源と第2の出力ノードとの間に接続さ 印加され、削配第2のPチャネル型MOSトランジスタ 低電圧とグランド電圧との間の版幅を有する入力信号が 記第1のNチャネル型MOSトランジスタのソースに接 的記第1のPチャネル型MOSトランジスタのゲートに OSトランジスタを有し、ブルアップ用として機能する は、高電圧が印加される高電圧電流と第1の出力ノード ートに低電圧が共通して印加される第1のCMOS回路 続された前記第1の入力ノードに前記高鶴圧よりも低い との間に直列接続された第1及び第2のPチャネル型M 【0031】第5の発明であるレベル変換回路の特徴

> 回路とを備えたことにある。 間の版幅を有する信号を外部へ出力する第2のCMOS ートに低電圧が共通して印加され、前記第4の出力ノー 及び前記第2のNチャネル型MOSトランジスタの各ゲ れた前起第2の入力ノードに前記入力信号の反転信号が ル型MOSトランジスタを有し、ブルアップ用として機 ドより前記出力信号として前記高電圧とグランド電圧の 印加され、前記第8のPチャネル型MOSトランジスタ 2のNチャネル型MOSトランジスタのソースに接続さ 位が印加され、且つブルダウン用として機能する前記第 能する削記第7のPチャネル型MOSトランジスタのゲ と第2の入力ノードとの間に接続された第2のNチャネ る第2の中間回路と、前記高電圧電源と第4の出力ノー ル型MOSトランジスタ、及び前記第3のHIカノードと 出力ノードの電位がゲートに印加される第5のPチャネ ヶ型MOSトランジスタ、掛びに唇臂第4の出力ノード ドとの間に直列接続された前記第7及び第8のPチャネ し、前記第3の出力ノードより前記第1の信号を出力す 畑される第6のPチャネル型MOSトランジスタを有 前記低電圧電源との間に接続され出力信号がゲートに印 ートに前記第1の中間回路の前記第2の出力ノードの電 カノードとの間に接続され前記第1の中間回路の第2の を有する第1の中間回路と、前記高鶴圧電源と第3の出 トに印加される第4のPチャネル型MOSトランジスタ

いMOSトランジスタのみで回路を構成することがで の発明も、許容ゲート酸化膜耐圧が高電圧電源よりも低 き、前述の第3の従来回路よりも高速に動作し、加えて い、グランドレベルの出力信号が出力される。この第5 た場合は、第1のN-MOSはオフし、第2のN-MO 負荷駆動能力の低下も抑えられる。 ソエフスラギの返籍用フスラ(**!* フスラ)へ終行つ 的な直流電流バスは存在しない。 また、入力信号がグラ Sがオンして、その後は、第1の発明と同様の作用を行 MOSがオン共振にあるのか、本フヘラ演奏回路内に辞 態では、第1、第3及び第6のP-MOSと第2のN-ベル)の出力信号が出力される。この状態では、この状 1の発明と同様の作用を行い、高砲圧レベル("1"レ る場合は、第1のN-MOSがオンし、その後は上記第 きる。入力信号がグランドレベル ("0" レベル) であ における第2及び第4のN-MOSを省略することがで 【0032】この第5の発明によれば、上記第1の発明

力する構成としたことにある。 あり、跋第1の信号を前記出力信号と独立して外部へ出 は、前記高電圧と前記低電圧の間の仮幅を有する信号で は、上記第1乃至第5の発明において、前記第1の信号 【0033】第6の発明であるレベル変換回路の特徴

5の発明の回路の適用範囲が広くなる。 【0034】この第6の発明によれば、上記第1乃至第

は、上記第1乃至第6の発明において、前記第4及び第 【0035】第1の発明であるレベル変換回路の特徴

> OSトランジスタのサブストレートと分離したことにあ をそれぞれのソース側に接続して、他のPチャネル型M 6のPチャネル型MOSトランジスタのサノストレート

荷を一層軽減することができる。 れば、第4及び第6のP-MOSのゲート酸化膜への負 【0036】この第7の発明であるレベル変換回路によ

第1乃至第7の発明のレベル変換回路で構成したことに 半導体集積回路において、前記レベラ変換回路は、上記 有する信号にレベル変換するレベル変換回路とを備えた 低電圧よりも高い高電圧とグランド電圧との間の振幅を 電源回路と、前記低電源回路から出力された信号を前記 とグランド電圧との間の振幅を有する信号を出力する低 れる低電圧電源とグランドとの間に接続され前記低電圧 は、上記第1乃至第7の発明において、低電圧が印加さ 【0037】第8の発明ためやレベル疫検回路の特徴

の作用を奏する。 ベル変換回路において、上記第1乃至第7の発明と同様 【0038】この第8の発明によれば、集積化されたレ

るレベル変換回路の回路図である(第1、第2及び第6 基力いて説明する。図1は、本発明の第1実施形態に促 【発明の実施の形態】以下、本発明の実施形態を図面に

路10,20の間に櫻掛け接続された第1及び第2の中 く且つ3 V よりも高い特性を有している。 下に述べる)は、許容ゲート酸化膜耐圧が5 Vよりもほ 路 1 0~4 0を構成する全てのMOSトランジスタ(D 間回路30、40とを備えている。ここで、これら各回 CMOS回路20と、これら第1及び第2のCMOS回 V問の優幅を有する出力信号のUT 1を出力する第2の と、5V電源とグランドとの間に接続されて、5V~0 する入力信号INIを取り込む第1のCMOS回路10 V:VCC)とグランド電圧(OV)との間の振幅を有 DD) 電源とグランドとの間に接続されて、低電圧 (3 【0040】 ニのレベル変換回路は、高鶴圧 (5V: V

さらに、N-MOS 1 4はブルダウン用として機能し、 そのゲートには前記入力信号iN1が印加されるように 接続されたN-MOS13、14とで構成されている。 11, 12と、前記ノードN1とグランドとの間に直列 V電源とノードN 1 との間に直列接続されたP-MO S トには中間回路40の出力(第1の信号)が印加され、 P-MOS11はブルアップ用として機能し、そのゲー 【0041】より具体的には、CMOS回路10は、5

用として設けられ、その各ゲートには3V電源が共通し れぞれP-MOS 1 1及びN-MOS 1 4の過程圧保護 て印加されている。また、P-MOS12のサブストレ [0042] P-MOS12及UN-MOS13は、そ

れ、N-MOS13のサプストレートは、N-MOS1 レート(N型ウェル領域)と共通して5V電源に接続さ 4のサブストレートと共通してグランドに接続されてい ート(N型ウェル飯威)は、P-MOS 1 1のサノスト

OS21のゲートには前記中間回路30の出力が印加さ るようになっている。 れ、フルダウン用として機能するN-MOS 2 4のゲー 0と同様の紫子構成で、5 V電源とノードN 2 との間に トには前記入力信号 IN1の反転信号 IN2が印加され で構成されている。ブルアップ用として機能するPIM グランドとの間に直列接続されたN-MOS23,24 直列接続されたP-MOS21,22と、ノードN2と 【0043】CMOS回路20は、上記CMOS回路1

ードN3と3V電源との間に接続され前記CMOS回路 N3との間に接続され前記中間回路40の出力(第1の 通して5V電源に接続されている。 S32とで構成されている。また、P-MOS31のサ 10のノードN1の館位がゲートに印加されるP-MO 信号)がゲートに印加されるP-MOS31と、前記ノ グストレートは、P-MOS32のサブストレートと共 【0044】一方、中間回路30は、5V艦源とノード

接続され出力信号OUT 1がゲートに印加されるP-M れるP-MOS41と、ノードN4と3V角膜との間に OS42とで構成されている。 の栞子構成で、5V電源とノードN4との間に接続され 前記中間回路30のノードN3の配位がゲートに印加さ 【0045】中間回路40は、上記中間回路30と向機

れ、加えて中間回路40のノードN4より、5V 幅で入力信号IN1と同相の出力信号OUT1が出力さ シ、5V("一" アスラ)~0V("0" アスラ)の顔 ("1" アバラ) ~3 V ("0" アベラ) 岡の凝點を有 【0046】そして、CMOS回路20のノードN2よ

し入力信号IN1と同相の出力信号〇UT2が出力され

るようになっている。

のトランジスタのディメンジョンが設定されている。 -MOS42のオン抵抗よりも大きくなるように、各々 た中間回路 4 0 における P – MOS 4 1 のオン抵抗は P P-MOS32のオン抵抗よりも大きくなるように、ま に、中間回路30におけるP-MOS31のオン抵抗は とN-MOS23, 24との間にもなされている。さら 設定がCMOS回路20におけるP-MOS21, 22 ランジスタのディメンジョンが設定されている。同様の MOS11, 12の直列オン抵抗は、N-MOS13, されている。すなわち、CMOS回路10におけるP-に、各トランジスタのオン抵抗は次のような条件に設定 l 4の直列オン抵抗よりも大きくなるように、各々のト 【0047】ここで、本回路を正確に動作させるため

回路の動作を説明する。 【0048】次に、以上のように構成されるレベル疫療

【0062】図3は、本発明の第3実施形態に係るレベ

【0049】まず、3V(1レベル)の入力信号 INIが供給された場合の動作を説明する。入力信号 INIが 3V(1レベル)であると、この信号 INIがゲートに 3V(1レベル)であると、この信号 INIがゲートに 1加されるN-MOS 14はオンし、上記オン成氏の設 にからノードN1は0Vに近い掲圧を出力する。その結果、P-MOS 32がオンレ、ノードN3は3Vに近い 短圧を出力し、P-MOS 41、21がオンする。

【0050】一方、N-MOS24のゲートには、0V(0レベル)の入力信号IN2が印加されるので、N-MOS24はオフし、ノードN2の館位は5Vとなる。その結果、P-MOS41はオンしているのでノードN4の館位は5Vになる。ノードN4の館位が5Vになると、P-MOS11、31はオフし、ノードN1の館位は0Vになり、ノードN3の館位は3Vとなる。従って、出力信号OUT1及びOUT2は、5V(1レベル)となる。

【0051】なお、この状態において、P-MOS11、31、42及びN-MOS24はオフしているので、このレベル変換回路内に静的な直流絶流バスは存在しない。

【0052】次に入力信号IN1が3V("1"レベル)から0V(0レベル)に変化した場合の動作を説明する。

【0053】N-MOS14はオフし、且つP-MOS111もオフしているので、ノードN1の配位は定まらない。しかし、人力信号1N2は3V(1レベル)であるため、N-MOS24がオンし、このときP-MOS21もオンしているが、ノードN2の配位は0Vに近いものとなる。その結果としてP-MOS42がオンし、このときP-MOS41もオンしているが、ノードN4は3Vに近い低位になる。

【0054】ノードN4が3Vに近い地位になると、P-MOS11、31がオンし、ノードN1は、N-MOS14が既にオフしているので5Vを出力する。その結果、P-MOS32もオフし、ノードN3の館位も5Vとなるため、P-MOS41、21はオフして高速的にスが絶たれ、ノードN2は0Vを出力し、ノードN4に3Vを出力する。ほって、出力信号のUT1は0V(ロベル)が

【0055】このような動作において、各トランジスタのゲートとソースまたはドレインあるいはサプストレートとの間に3Vを越える電圧が印加されることはない。但し、P-MOS32及びP-MOS42には、5Vから0Vの疑幅の信号が加わり、0Vが加わる時に過渡的に3Vを越える電圧がゲート数化膜に加わるが、静止状態では、該MOSトランジスタはオンし、ソース・ドレイン間に3V電源に接続されたチャネルが形成され、基板吸位の5Vはゲート酸化膜からジールドされるので、このゲート酸化膜には静的に3Vを越える電位は加わら

112

【0056】このように本実施形態のレベル変換回路では、上記谷トランジスタのゲート酸化膜には静的に3Vを超える軽位が加わらないため、許容ゲート酸化膜耐圧が5Vよりも低いMOSトランジスタのみで回路を構成することができる。これにより、製造プロセスを複雑にしないで低消費権力のレベル変換回路を実現することが可能となる。さらに、与えられた種頭レベルを、オンしたトランジスタで次のトランジスタのゲートに供給する方式であるため、ゲート他圧の損傷の制限にソースフォロアトランジスタのオフする効果を利用した前述の第3の従来回路よりも高速動作が可能となるだけでなく、負荷駆動能力の低下も抑えることができる。

【0057】また、本実施形態では、低電圧レベルは全て3Vになっているが、たとえば2Vの超位が他に存在しているからは、P-MOS12及びP-MOS22のゲートのみを2V電圧版に接続しても、またP-MOS32及びP-MOS42のドレインのみを2V電圧版に接続しても、またP-MOS32及びP-MOS42のドレインのみを2V電圧額に接続されている端子を個別に他の低電圧レベルに接続することにより、トランジスタのオン板坑を閲覧し、ディメンジョンの数定に自由度を持たせることができる。

【0058】図2は、本発明の第2実施形態に係るレベル変換回路の回路図であり、図1と共通の要繋には同一の符号が付されている(第3の発明に対応)。

【0059】上記図1に示す構成において、N-MOS23のツースに、直接0Vから3Vの短幅を持った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路20に代えて設けられたCMOS回路20には、N-MOS24を省略してN-MOS23のソースに直接、入力信号1N1を印加した構成となっている。

【0060】 このレベル変換回路によれば、入力信号1N1が3V("1"レベル)である場合は、上記第1実 施形値と同様の動作を行い、5V("1"レベル)の出 力信号のUT1及びOUT2が出力される。この状態では、P-MOS11、31、42がオフ状態にあり、加 えてN-MOS23もオフしているため、本レベル変験 回路内に静的な直流電流パスは存在しない。一方、入力 信号1N1が3V("1"レベル)から0V("0"レベル)へ変化した場合は、N-MOS14がオフし、N-MOS23がオンするので、第1実施形態と同様に出 力信号のUT1が0V("0"レベル)に、出力信号のUT1が0V("0"レベル)に、出力信号のUT1が0V("0"レベル)に、出力信号のUT1が6V("0"レベル)に、出力信号のUT1が6V("0"レベル)に、出力信号のUT1が6V("0"レベル)に変化する。

【0061】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS24を省略でき、且つ入力信号を1種類とすることができるので、第1実施形態よりも構成が簡素化される。

・ 小変数回路の回路図であり、図1と共通の要素には同一の符号が付されている(第4の発明に対応)。
【0063】上配図1に示す構成において、N-MOS 13のソースに、直接0Vから3Vの振幅を持った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS14を省略した場合の例を示している。すなわち、上記CMOS回路10に代えて設けられたCMOS回路10'は、N-MOS14を省略してN-MOS1

【0064】このレベル資機回路によれば、入力信号 I N2が0V("0"レベル)であるときには、N-M0S13がオンし、その後は上記第13境部版と同様の動作が行われ、5V("1"レベル)の出力信号OUT1及びOUT2が出力される。この状態では、P-MOS11、31、42及びN-MOS24がオフ状態にあるため、本レベル変数回路内に静的な直流電流ベスは存在しない。

【0065】 一方、入力信号 I N2が0 V ("0" アベル)から3 V ("1" アベル)、製化した場合は、N-MOS 1 3がオフする一方で、N-MOS 2 4がオンし、その後は第1 実績形能と同様の製作が行われ、H力信号のじて 1 が0 V ("0" アベル)に、H力信号のじて 2 が 3 V ("0" アベル)に製化する。

【0066】このように、入力信号1N2に対して逆相の出力信号OUT1及びOUT2が出力される。

【0067】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すNIMOS14を省略でき、旧つ入力債号を1種類とすることができるので、第1実施形態よりも構成が開業化される。

【〇〇68】図4は、本発界の第4波施形態に係るレベル変換回路の回路図であり、図1と共通の廃棄には同一の符号がけされている(第5の発界に対応)。

【0069】上記図1に示す構成において、N-MOS13及びN-MOS23のソースに、直接0Vから3Vの振幅を持った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS14及びN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路10及び20に代えて設けられたCMOS回路10、20 は、N-MOS14及び24を省略してN-MOS13及び23のソースに直接、それぞれ入力信号1N1及び1N2を印加した構成となっている。

【0070】:のワベル変数回路によれば、入力信号 I N1が0V ("0" ワベル) であるときには、N-MO S13がオンレ、その後は上記第1波臨形態と同様の製作が行われ、5V ("1" レベル) の出力信号のUT1 及びOUT2が出力される。このとき、P-MOS1

1、31、42オフ状態にあり、またN-MOS23ののシースには3V("1"レベル)の入力信号1N2が印加されているため、豚N-MOS23もオフしている。その結果、この状態では、本レベル変換回路内に静的な直流電波、ベスは存在しない。

【0071】 - 方、入力信号 I N 1 が O V (*0" レベル) から3 V (*1" レベル) へ変化した場合は、N-MOS 1 3 がオフする一方で、N-MOS 2 3 がオンし、その後は第1 実施形態と同様の動作が行われ、出力信号のU T 1 が O V (*0" レベル) に、H 力信号のU T 2 が 3 V (*0" レベル) に、低力信号のU T 2 が 3 V (*0" レベル) に変化する。

【0072】このように、入力信号IN1に対して逆相の出力信号OUT1及びOUT2が出力される。
【0073】本実施形態では、上記第1実施形態と同様

100/3] 4米局が脱ぐは、月間光1米局が脱ぐ回疎の利点を有するほか、図1に示すN-MOS14及びN-MOS24を名略できるので、第1実績形態よりも構成が簡潔化される。

【0074】図5は、本発界の第5安臨形態に係るレベル疾機回路の回路図であり、図1と共通の受禁には同一の符号が付されている(第7の発見に対応)。

【0075】本沒施形態は、上配図1の構成において、上記中間回路30、40とはサプストレートの接続構成が異なる中間回路30、40とはサプストレートの接続構成が異なる中間回路30、40である。すなわち、上記第1次施形態において、P-MOS32及びP-MOS42のオン時に形成されるチャネルにより基板館位の5Vがゲート酸化膜には静的には3Vを超える健位は加むらない点について述べた。この点について、本災施形態では、P-MOS32及びP-MOS42のゲート酸化膜には静的には3Vを超える健位は加むらない点について述べた。この点について、本災施形態では、P-MOS32及びP-MOS42のゲート酸化膜への負荷をさらに軽減するようにしたものゲート酸化膜への負荷をさらに軽減するようにしたものである。

【0076】この場合の回路動作も上記第1 実施形態と 全へ同じである。

【0077】図6は、本発明の第6実施形態に係る半導体独類回路の回路図であり、図1と共通の要素には同一の符号が付されている(第8の発明に対応)。

【0078】本変施形態は、上記図1に示したレベル変数回路を集積回路のトライステイトバッファ回路に応用したものである。このトライステイトバッファ回路は、3V系の論理回路50を備え、この論理回路50の別力側が図1に示す構成のレベル変数回路に接続されている。3V系の論理回路50は、データ端平51及びイネーブル端平52を有し、NANDゲート53、インバータ54、55及びNORゲート56で構成されている。さらに、前記レベル変数回路の出力側には、プリバッフィ回路60を介してメインバッフィ回路70が接続されて回路60を介してメインバッフィ回路70が接続され

2

OS71, 72及UN-MOS73, 74で構成され、 その出力に接続された出力パッド80から集積回路のタ 71に供給し、またメインパッファ回路70は、P-M 邰〜出力信号OUTを出力するようになっている。 2で構成され、5V~3V間の振幅の信号をP-MOS ている。ブリバッファ回路60は、P-MOS61, 6

ル)が与えられると、P-MOS71のゲートに3V ス状態になる。一方、イネーブル蝎子52に3V **には5V(1 アベル)、N-MOS 7 4には0V(0 ア** ベラ)が印刷され、出力ベッド80はベイインドーダン 2に0V (0レベル) が与えられると、P-MOS 7 1 (0 レベル) 、 N-MOS 7 4 のゲートに 0 V へ 【0079】次に、動作を説明する。イネーンル端子 5 ("1" フベラ)且しデータ端午51に3V(1フベ

加され、出力パッド80は0V ("0" アベラ) とな た時は、P-MOS71のゲートには3V (0レベ ル) 且0データ端子51に0V (0レベル) が与えられ り、トライステイトバッファとして機能する。 ル)、N-MOS74のゲートに3V (1レベル) が印 【0080】また、 ムネーレラ鑷子 5 2 に 3 V (1 フェ

省略することも可能である。 T2)に接続することにより、プリパッファ回路70を 変換回路における中間回路40の出力ノードN4(OU 【0081】なお、PIMOS71のゲートを、レベル

明を適用することも可能である。 3. 3 V、低電圧が 2 Vというような組み合わせで本発 とが予想され、そのデバイス指代において、高電圧が ス世代では、ゲート酸化膜耐圧が3.3 V以下になる: **亀原の場合について説明をしたが、0.25μmデバイ** 【0082】上紀各実施形態においては5Vと3Vの2

[0083]

り、トランジスタのオン抵抗を調整することができ、テ **電圧電源を個別に異なる低電圧の電圧源とすることによ** 能となる。さらに、前述の第3の従来回路よりも高速動 ないで低消費電力のレベル変換回路を実現することが同 成でき、且つ静止時の消費電力を増すことなく低電圧電 イメンジョンの設定に自由度を持たせることも可能とな とができる。また、MOSトランジスタに接続される低 作が可能となり、しかも負荷駆動能力の低下も抑えるこ ることができる。 これにより、製造プロセスを複雑に1 原の振幅から高電圧電源の振幅に信号電圧振幅を変換す 衛圧協議アベルよりも低いMOSトランジスタのみで特 ためるフベル変換回路によれば、ゲート酸化原油圧が高 【発明の効果】以上詳細に説明したように、第1の発明

- ば、上記第1の発明の回路を観動作なく的確に動作させ ることが可能となる。 【0084】第2の発明であるレベル変換回路によれ

> ることができる。 ば、上記第1の発明よりも簡単な構成で同様の効果を得 【0085】第3の発明であるレベル変換回路によれ

ることができる。 ば、上記第1の発明よりも簡単な構成で同様の効果を得 【0086】第4の発明であるレベル変換回路によれ

ば、上記第1の発明よりも簡単な構成で同様の効果を得 【0087】第5の発明であるレベル変換回路によれ

ることが可能となる。 ば、上記第1乃至第5の発明の回路の応用範囲を広くす 【0088】第6の発明であるレベル変換回路によれ

ることが可能となる。 第6のP-MOSのゲート酸化膜への負荷を一層軽減す ば、上配第1乃至第6の発明の回路において、第4及び

ァ)が印加され、出力バッド80は5V(1フベル)と

歪第7の発明と同様の効果を得ることができる。 ば、集骸化されたレベル変換回路において、上記第1乃

回路図である 【図1】本発明の第1実施形態に係るアベル変数回路の

回路図である 【図2】本発明の第2実殖形態に係るレベラ変換回路の

回路図である 【図3】本発明の第3浜脳形態に係るレベル変換回路の

回路図である 【図4】本発明の第4実描形態に係るレベル変換回路の

[図3]

回路図である 【図5】本発明の第5 実殖形態に係るレベラ変換回路の

回路図である。 【図1】従来のレベル変換回路の構成を示す回路図であ

る(第2の従来回路)。 【図8】従来のワベル変換回路の構成を示す回路図であ

る (第3の従来回路)

10

30 第1の中間回路

20

第2のCMOS回路

40 第2の中間回路

第2のP-MOS

第7のP-MOS

第2または第3のN-MOS 第8のP-MOS

【0089】第7の発明であるレベル変換回路によれ

【0090】第8の発明である半導体集積回路によれ 【図面の簡単な説明】

【図6】本発明の第6実施形態に係る半導体集積回路の

る (第1の従来回路)。

【図9】従来のレベル変換回路の構成を示す回路図であ

【符号の説明】

第1のCMOS回路

第1のP-MOS

第1のN-MOS

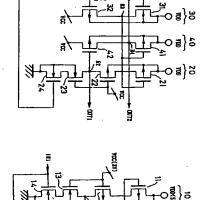
第2のN-MOS

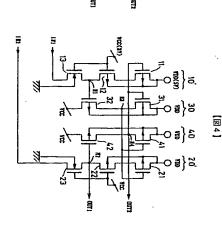
第6のP-MOS 第1の出力ノード

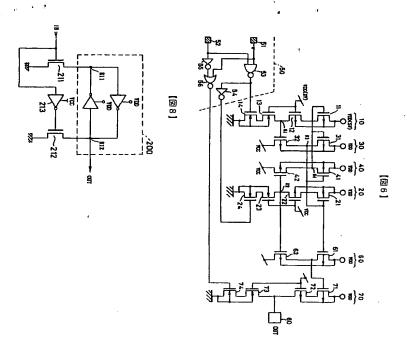
第4の出力ノード

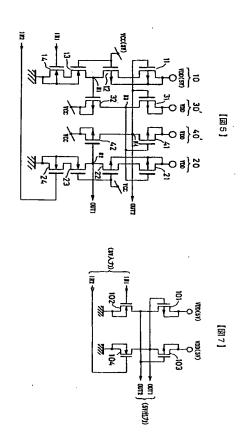
IN2 入力信号 IN1の反転信号 IN1 入力信号 VCC 3V極減 VDD 5V億額

N4 第3の出力ノード N3 第2に出力ノード



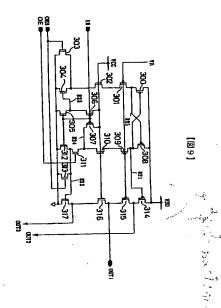






(13)

特許3258229



.(14)